

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-058110

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

H01L 21/3205

H01L 21/768

(21)Application number : 05-219069

(71)Applicant : YAMAHA CORP

(22)Date of filing : 11.08.1993

(72)Inventor : YAMAHA TAKAHISA

HIBINO SATOSHI

NAITO MASARU

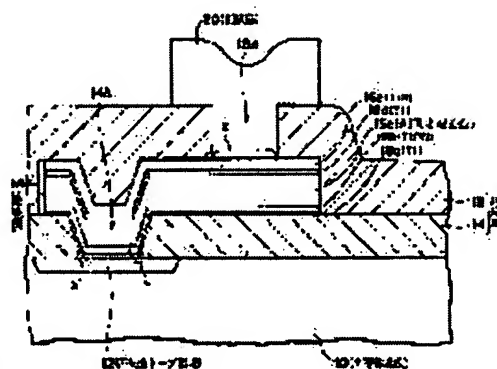
SUZUKI TAMITO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the generation of alloy pits at substrate connections and the generation of Al hillocks at interlayer connections in a multilayer interconnection structure of a semiconductor device.

CONSTITUTION: After a connecting hole 14A is formed in an insulating film 14 covering the surface of a semiconductor substrate 10, a wiring layer 16 is formed so as to be connected to the substrate 10. After forming a layer insulating film 18 covering the wiring layer 16 and the insulating film 14, a wiring layer 20 is formed so as to be connected to the wiring layer 16. The wiring layer 16 is composed of a Ti film 16a, a TiON film 16b, an Al or Al alloy film 16c, a Ti film 16d and a TiN film 16e laminated in the order from the bottom. By heat treatment performed at 400-500°C for about 30 minutes after the formation of the wiring layer 16, any alloy pit is not observed in the bottom parts X Y, etc., of the connecting hole. After the formation of a connecting hole 18A, the TiN layer 16e remains at the bottom part Z of the connecting hole, and the generation of Al hillocks is prevented.



LEGAL STATUS

[Date of request for examination] 26.02.1997

[Date of sending the examiner's decision of rejection] 16.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3613768

[Date of registration] 12.11.2004

[Number of appeal against examiner's decision of rejection] 2001-02141

[Date of requesting appeal against examiner's decision of] 15.02.2001

BEST AVAILABLE COPY

rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10)日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-58110

(43)公開日 平成7年(1995)8月8日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/8206 21/768		8826-4M 8826-4M 8826-4M	H01L 21/88 21/90 審査請求 未請求 請求項の数1 FD (全 8 FD)	K N D
(21)出願番号	特願平5-219069		(71)出願人	000004075 ヤマハ株式会社 静岡県浜松市中区町10番1号
(22)出願日	平成5年(1993)8月11日		(72)発明者	山本 隆久 静岡県浜松市中区町10番1号ヤマハ株式会 社内
			(72)発明者	日比野 三十四 静岡県浜松市中区町10番1号ヤマハ株式会 社内
			(72)発明者	内藤 勝 静岡県浜松市中区町10番1号ヤマハ株式会 社内
			(74)代理人	弁護士 伊沢 敏昭 最右頁に続く

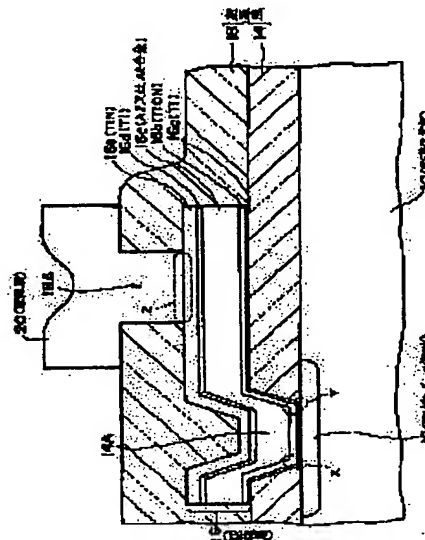
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 半導体装置の多层配線構造において、基板接続部でのアロイピット発生を防止すると共に層間接続部でのA1ヒロック発生を防止する。

【構成】 半導体基板10の表面を覆う絶縁膜14に接続孔14Aを形成した後、基板10に接続されるように配線層16を形成する。配線層16及び絶縁膜14を覆って層間絶縁膜18を形成した後、配線層16に接続されるように配線層20を形成する。配線層16は、下から順にTi膜16a、Ti/N膜16b、A1又はA1合金膜16c、Ti膜16d、Ti/N膜16eを積層した構成にする。配線層16の形成後の400〜500

℃、3.0分程度の熱処理では、接続孔底部X、Y等アロイピットは認められなかった。接続孔18Aの形成後、接続孔底部ZにTi/N膜16eが残存し、A1ヒロック発生を防ぐ。



【特許請求の範囲】

【請求項 1】 多層配線構造を有する半導体装置であって、該多層配線構造は、

第 1 の絶縁膜と、

この第 1 の絶縁膜の上に形成された第 1 の配線層であって、下から順に Ti 膜、TiON 膜、Al 又は Al 合金膜、Ti 膜及び TiN 膜を積層した構成のもの、

前記第 1 の絶縁膜及び前記第 1 の配線層を覆って形成され、該第 1 の配線層の一部に対応した接続孔を有する第 2 の絶縁膜と、

この第 2 の絶縁膜の上に形成され、前記接続孔を介して前記第 1 の配線層に接続された第 2 の配線層とを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、LSI 等の半導体装置における多層配線構造に関し、特に低抵抗バリア層として TiON 膜を用いると共に反射防止膜として TiN 膜を用いたことによりアロイピットの発生及び Al ヒロックの発生を防止するようにしたものである。

【0002】

膜	材料
16e	TiN
16d	Ti
16c	Al-Si-Cu
16b	TiN
16a	Ti

先行特許出願では、Ti 膜 16a の記載を省略したが、接続抵抗（コンタクト抵抗）低減のために Ti 膜 16a を設けるのが通例である。

【0007】 配線層 16 の他の例としては、膜 16b と

膜	材料
16e	TiOxNy
16d	Ti
16c	Al-Si-Ti
16m	Ti
16b	TiN 又は TiOxNy
16a	Ti

ここで、膜 16e の材料において、x は 0.1~0.3、y は 0.7~0.9 である。また、膜 16b の材料において、x は 0.05~0.2、y は 0.8~0.95 である。

【0009】

【発明が解決しようとする課題】 図 6 は、従来の多層配線形成における接続孔形成工程を示すものである。

【0010】 半導体基板 10 の表面には、SiO₂ 等からなるフィールド絶縁膜 11 が形成されると共に、絶縁膜 11 の素子孔内には、SiO₂ 等からなる薄いゲート絶縁膜 11G を介してポリ Si 等からなるゲート電極層 13G が形成されている。絶縁膜 11 の上には、ポリ Si

【従来の技術】 従来、LSI 等の半導体装置の多層配線構造としては、図 5 に示すものが提案されている。

【0003】 図 5 において、Si からなる半導体基板 10 の表面を覆う SiO₂ 等の絶縁膜 14 の上には、第 1 の配線層 15 が形成され、絶縁膜 14 及び配線層 15 を覆う層間絶縁膜 18 の上には、絶縁膜 18 に設けた接続孔 18A を介して配線層 15 に接続されるように第 2 の配線層が形成される。なお、配線層 15 は、図示しない個所で絶縁膜 14 に設けた接続孔を介して基板 10 の所定領域にオーミック接続されている。

【0004】 配線層 15 は、下から順に接続抵抗低減膜 15a、低抵抗バリア膜 15b、配線材料膜 15c、接続抵抗低減膜 15d 及び反射防止膜 15e を積層した構成になっている。反射防止膜 15e は、接続孔 18A を形成する際のホトリソグラフィ処理において配線面からの光反射を抑制することによりレジストのパターニング精度を向上させるためのものである。

【0005】 配線層 15 の一例としては、次のような構成のものを本願と同一出願人の先行特許出願（特願平 4-26029 号）にて提案した。

【0006】

厚さ [nm]

50
10
350
100
10~20

膜 15c との間に介在膜 15m を配置した次のような構成のものが知られている。（例えば米国特許第 5070036 号参照）。

【0008】

厚さ [nm]

50~500
7~20
300~1000
7~20
50~200
2~10

i 等からなる配線層 13 が形成されている。基板表面には、電極層 13G に基づく段差や絶縁膜 11 及び配線層 13 の積層に基づく段差が存在する。

【0011】 基板上面には、電極層 13G、配線層 13 等を覆って絶縁膜 14 が形成されるが、絶縁膜 14 の上面は、基板表面の配線段差等を反映して凹凸状となる。このため、絶縁膜 14 の上に複数の配線層を形成すると、これらの配線層が同一レベルとならず、例えば配線層 15A に比べて配線層 15B が高い位置に形成される。

【0012】 基板上面には、配線層 15A、15B を覆って層間絶縁膜 18 が平坦に形成され、絶縁膜 18 に

は、配線層16A、16Bにそれぞれ対応した接続孔18a、18bがホトリソグラフィ及びドライエッチング技術により形成される。このときのエッチング工程では、深い接続孔18aと浅い接続孔18bとを同時に形成するため、深い接続孔18aのエッチング中に浅い接続孔18bでは、過剰にエッチングが行なわれる。

【0013】配線層16A、16Bとして、図5に示した構成のものを用いた場合、浅い接続孔18bでは過剰エッチングにより反射防止膜16eが図5に示すように重なり付けずられてしまう。

【0014】図7は、過剰エッチング時間と反射防止膜16eのけずれ量dとの関係を示したもので、ラインS1は反射防止膜16eとしてTiON膜を用いた場合を示し、ラインS2は反射防止膜16eとしてTiN膜を用いた場合を示す。これらの場合において、接続孔の直径は1.0[μm]、エッチングガス系はCHF₃/CF₄/Arであった。

【0015】図7によると、TiN膜よりTiON膜の方がけずれ量dが2倍以上も大きいことがわかる。TiN膜又はTiON膜を反射防止膜として用いる場合、その最薄膜厚は40~50[nm]程度である。また、浅い接続孔での過剰エッチング時間は180[秒]位になることがある。従って、反射防止膜16eとしてTiON膜を用いた配線構造では、深い接続孔18aのエッチング中に浅い接続孔18b内でTiON膜がすべて除去されることがある。

【0016】接続孔内でTiON膜がすべて除去されると、層間絶縁膜18の形成に伴う熱処理等によりAl又はAl合金からなる配線材層16cからAlヒロックが接続孔内に成長し、上層配線のための配線材を接合する際に接続孔内での接合性を劣化させる不都合がある。

【0017】反射防止膜16eとしてTiN膜を用いた配線構造では、かような不都合がないものの、基板接続部にアロイビットが発生する不都合がある。すなわち、膜16d中のTiが膜16cを構成するAl-Si-Cu合金中のSiと反応してTi_{1-x}Si_xを形成する。そして、Al-Si-Cu合金中のSiだけでは足りなくて、TiN膜16bにおいてバリア性が不足している箇所を経由して基板10からSiを吸い上げることがあり、その結果として基板接続部にアロイビット（アロイ

膜	材料
16e	TiN
16d	Ti
16c	Al-Si-Cu
16b	TiON
16a	Ti

ここで、Ti膜16dは、なるべく薄い方がよい。

【0025】基板上面には、絶縁膜14及び配線層16を覆って層間絶縁膜18が形成される。絶縁膜18には、配線層16の一部に対応して接続孔18Aが形成さ

スパイク）が発生することがある。アロイビットは、接合リーク電流を増大させるから、その発生を阻止するのが望ましい。

【0018】この発明の目的は、Alヒロック発生及びアロイビット発生を共に防止することができる新規な多層配線構造を提供することにある。

【0019】

【課題を解決するための手段】この発明に係る多層配線構造は、第1の絶縁膜と、この第1の絶縁膜の上に形成された第1の配線層であって、下から順にTi膜、TiON膜、Al又はAl合金膜、Ti膜及びTiN膜を積層した構成のものと、前記第1の絶縁膜及び前記第1の配線層を覆って形成され、該第1の配線層の一部に対応した接続孔を有する第2の絶縁膜と、この第2の絶縁膜の上に形成され、前記接続孔を介して前記第1の配線層に接続された第2の配線層とを備えたものである。

【0020】

【作用】この発明の構成によれば、TiON膜に比べてエッチングされにくいTiN膜を反射防止膜として用いるので、接続孔形成時にAl又はAl合金膜の露出を阻止してAlヒロックの発生を防止することができる。また、TiN膜に比べて耐熱性が良好なTiON膜を拡散バリア膜として用いるので、アロイビットの発生を防止することができる。

【0021】

【実施例】図1は、この発明の一実施例に係る半導体装置の多層配線構造を示すもので、図5、6と同様の部分には同様の符号を付して詳細な説明を省略する。

【0022】図1において、Siからなる半導体基板10の表面には、P⁺型又はN⁺型の不純物ドーブ領域12が形成されている。基板上面には、不純物ドーブ領域12を覆って絶縁膜14が形成され、絶縁膜14には、領域12の一部を露呈させるように接続孔14Aが形成される。

【0023】絶縁膜14の上には、接続孔14Aを介して不純物ドーブ領域12に接続されるように配線層16が形成される。配線層16は、下から順に膜16a、16b、16c、16d及び16eを積層した構成になっており、具体的構成の一例を示すと、次の通りである。

【0024】

厚さ[nm]
40~50
1~5
3~50
100
10

れる。絶縁膜18の上には、接続孔18Aを介して配線層16に接続されるように配線層20が形成される。接続孔18Aの直径は、0.8~1.0[μm]である。また、配線層20は、Al-Si-Cu合金等からなる

もので、約1 [μm] の厚さを有する。

【0025】上記した構成によると、拡散バリア層16bが耐熱性良好なTiON膜からなっているため、400～500℃、30分程度の熱処理では、接続孔周辺部X、Y等の個所にアロイビットが発生しない。また、反射防止膜16eが図7で示したようにけずれ量が少ないTiN膜からなっているため、接続孔形成時に接続孔底部Zに残存するようになる。このため、A1又はA1合金層16cが露出せず、A1ヒロックが発生しない。

【0027】図2は、アロイビット発生試験に用いられる試料を示すものである。Siからなる半導体基板10

ステップ	温度 [℃]	時間 [分]	雰囲気
(1)	400	30	N ₂
(2)	450	30	N ₂
(3)	500	30	N ₂

この後、絶縁膜14及びA1合金をHFで除去すると共に、TiNをアンモニア過水で除去してから、アロイビットを観察した。アロイビットは、図2、3に示すようにTiNの被覆性が低下する接続孔周辺部Q、Rにて発生しやすい。

【0030】図2の試料としては、配線層16が図4(A)のような従来構造のものと、配線層16が図4(B)のようなこの発明に係る構造のものとを用差し、

図4(A)

$$\frac{146}{115200} = 0.13 [\%]$$

従って、この発明に係る図4(B)の配線構造では、アロイビット発生を十分に抑止できることが明らかである。

【0032】発明者の研究によれば、アロイビットの発生メカニズムは次のようなものと考えられる。すなわち、500℃におけるAl中のSiの固溶度は、0.75 [%]である。いま、Ti膜16d中のTiと膜16cを構成するAl-Si-Cu合金中のSiとが反応してTiSi_x (x=1) が形成されるとすると、7 [nm] のTiは、350 [nm] のAl-Si (1.0%) - Cu合金中のSiをすべて消費しても足りず、Si基板10からSiを吸い上げる可能性がある。コンタクトのアスペクト比が大きくなって、コンタクト底部での拡散バリア膜の被覆性が低下すると、その部分を介してAlとSiが相互拡散し、アロイビットが発生する。

【0033】なお、TiONの耐熱性がTiNより優れている旨の報告は既にある(1989年春季第36回応用物理学関係連合講演会講演予稿集第725頁36-ZF-13「反応性スパッタTiOx-Ny膜のバリア特性」参照)。

【0034】

【発明の効果】以上のように、この発明によれば、反射防止膜としてTiN膜を用いると共に拡散バリア膜とし

の表面には、N₂型の不純物ドーパ領域12が形成されると共に、領域12を覆ってSiO₂等からなる絶縁膜14が形成されている。絶縁膜14には、接続孔14Aが形成される。そして、絶縁膜14上には、接続孔14Aを介して不純物ドーパ領域12に接続されるように配線層16が形成される。接続孔14Aの直径は、0.6 [μm]、絶縁膜14の厚さは800 [nm]とした。

【0028】アロイビット発生試験では、図2のような試料に次の3ステップの熱処理を施した。

【0029】

アロイビット発生率を比較した。ここで、アロイビット発生率は、アロイビットがあるコンタクト数/観察したコンタクト数なる式で表わされるもので、図4の配線構造(A)、(B)についてアロイビット発生率を対比して示すと、次の数1の通りである。

【0031】

【数1】

図4(B)

$$\frac{0}{115200} = 0 [\%]$$

てTiON膜を用いてA1ヒロック及びアロイビットの発生を防止するようにしたので、層間接続部の接続状態を改善できると共に接合リーク電流を低減できる効果が得られるものである。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る半導体装置の配線構造を示す基板断面図である。

【図2】 アロイビット発生試験に用いられる試料を示す断面図である。

【図3】 図2の試料の接続孔を示す上面図である。

【図4】 図2の試料で採用される従来の配線構造(A)及びこの発明の配線構造(B)を対比して示す断面図である。

【図5】 従来の配線構造を説明するための基板断面図である。

【図6】 従来の多層配線形成における接続孔形成工程を示す基板断面図である。

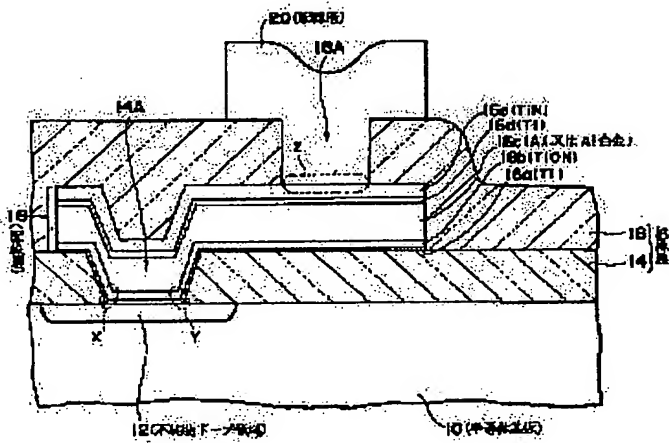
【図7】 図5の工程における過剰エッチング時間と反射防止膜のけずれ量との関係を示すグラフである。

【符号の説明】

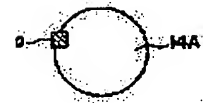
10: 半導体基板、12: 不純物ドーパ領域、14、14A: 絶縁膜、14A: 接続孔、16、20: 配線層、16a、16d: 接続抵抗低減膜、16b: 拡散

バリア膜、15c：配線材膜、15e：反射防止膜、

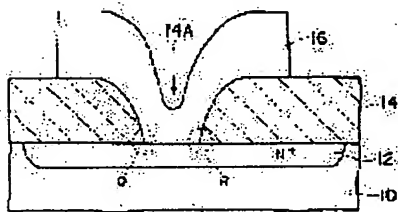
【圖 15】



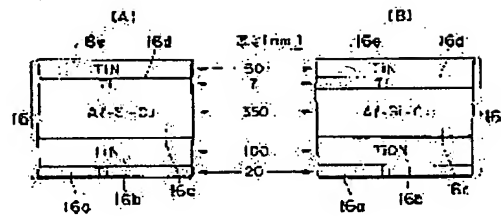
【圖 3】



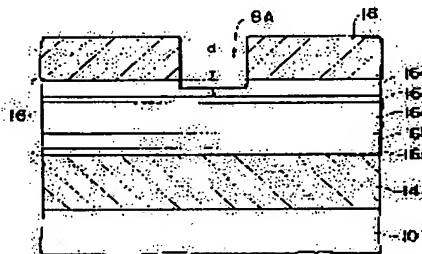
【圖 2】



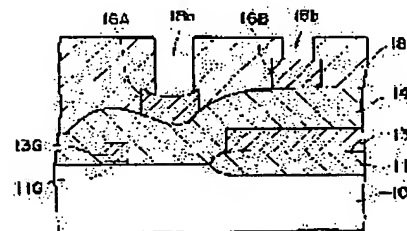
【圖4】



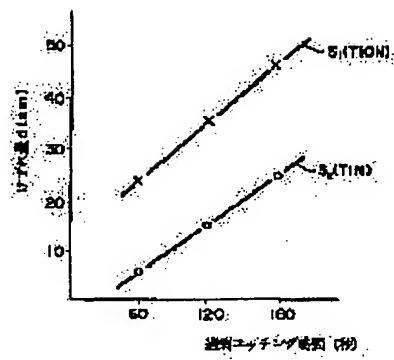
【図 5】



【圖 6】



【図7】



フロントページの続き

(72)発明者 鈴木 民人

静岡県浜松市中沢町10番1号ヤマハ株式会社
社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.